

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-215942  
(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01F 15/10  
H01F 15/02  
H01F 41/04  
H01F 41/10

(21)Application number : 05-006386

(71)Applicant : TOKIN CORP

(22)Date of filing : 19.01.1993

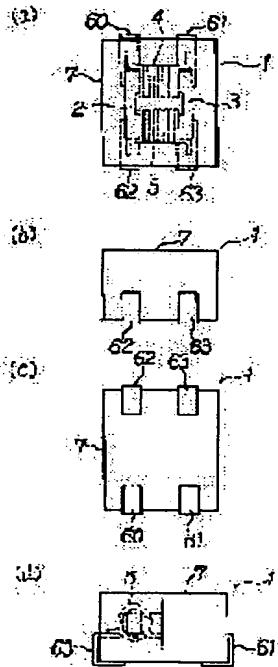
(72)Inventor : SAITOU KOUICHI

## (54) CHIP INDUCTOR AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To provide a chip inductor excellent in frequency characteristics and manufacturing method thereof in which the manufacturing process can be simplified.

**CONSTITUTION:** An inductor includes a core 3 having an abutting part and cooperates with a core 2 to establish a closed magnetic path, and coils 4, 5 applied to the abutting part. The manufacturing method comprises a winding step for obtaining the coils 4, 5, a step for applying the coils 4, 5 to the abutting parts of the cores 2, 3, a step for mounting the cores 2, 3 on a lead frame having lead terminal parts 60, 61, 62, 63 and a carrier part and bonding the lead terminal parts 60, 61, 62, 63 to the cores 2, 3, a step for connecting the coils 4, 5 with the lead terminal parts 60, 61, 62, 63, a step for molding the cores 2, 3 and the coils 4, 5, and a step for separating the carrier part from the lead terminal parts 60, 61, 62, 63.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-215942

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.<sup>5</sup>

H 01 F 15/10  
15/02  
41/04  
41/10

識別記号

D 8123-5E  
D 8123-5E  
L 8123-5E  
B 8019-5E  
B 8019-5E

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O.L (全 6 頁)

(21)出願番号

特願平5-6386

(22)出願日

平成5年(1993)1月19日

(71)出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72)発明者 歳桃 孝一

宮城県仙台市太白区太子堂21番1号 株式会社トーキン内

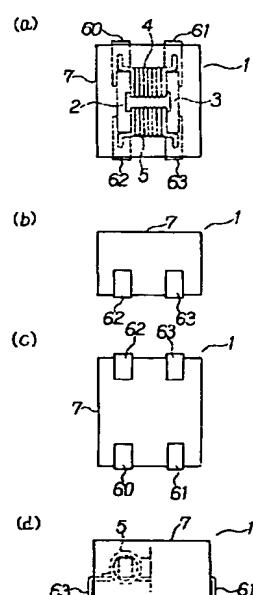
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 チップインダクタ及びその製造方法

(57)【要約】 (修正有)

【目的】 周波数特性に優れるチップインダクタ及びその製造工程の簡略化を達成できる製造方法を提供する。

【構成】 インダクタは、突合せ部を有する、コア2と協同して閉磁路を作るコア3と、突合せ部上に貫装されたコイル4, 5とを含む。その製造方法は、コイル4, 5を得る巻線工程と、コア2, 3の突合せ部にコイル4, 5に貫装しコア2, 3の突合せ工程と、コア2, 3を、リード端子部60, 61, 62, 63及びキャリア部を有するリードフレーム上に載置すると共にリード端子部60, 61, 62, 63をコア2, 3に固定する固定工程と、コイル4, 5をリード端子部60, 61, 62, 63に接続する接続工程と、コア2, 3、並びにコイル4, 5をモールドするモールド工程と、リード端子部60, 61, 62, 63からキャリア部を切り離す切離し工程とを含む。



## 【特許請求の範囲】

【請求項1】 突合せ部を有する第1のコアと、該第1のコアの突合せ部に当接し、該第1のコアと閉磁路を作る第2のコアと、上記突合せ部上に貫装されたコイルとを含むことを特徴とするチップインダクタ。

【請求項2】 請求項1記載のチップインダクタにおいて、第1のコアと第2のコアの内、少なくとも一方のコアにリード端子が設けられていることを特徴とするチップインダクタ。

【請求項3】 請求項1又は請求項2記載のチップインダクタにおいて、上記コイルとして、整列に巻かれた空心コイルが用いられていることを特徴とするチップインダクタ。

【請求項4】 請求項1乃至請求項3記載のチップインダクタにおいて、上記第1のコアと、上記第2のコアとが同形状であることを特徴とするチップインダクタ。

【請求項5】 請求項1乃至請求項4記載のチップインダクタにおいて、上記第1及び第2のコア、並びに上記コイルがモールドされていることを特徴とするチップインダクタ。

【請求項6】 突合せ部を有する第1のコアと、該第1のコアの突合せ部に当接し、該第1のコアと閉磁路を作る第2のコアと、上記突合せ部上に貫装されたコイルとを含むチップインダクタの製造方法において、上記コイルを得る巻線工程と、上記突合せ部に上記コイルに貫装すると共に上記第1のコアと第2のコアとを突き合わせる突合せ工程と、上記第1及び第2のコアを、リード端子部及びキャリア部を有するリードフレーム上に載置すると共に上記リード端子部を上記コアに固着する固着工程と、上記コイルを上記リード端子部に接続する接続工程と、上記第1及び第2のコア、並びに上記コイルをモールドするモールド工程と、上記リード端子部から上記キャリア部を切り離す切離し工程とを含むことを特徴とするチップインダクタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、チップインダクタ及びその製造方法に関する。

## 【0002】

【従来の技術】 従来のチップインダクタ1は、図13及び図14に示すように、胴部20と、この胴部20の両端に設けられた突合せ部21、22を有する略U字状の第1のコア2と、この第1のコア2の突合せ部21、22に当接し、第1のコア2と協同して閉磁路を作る略I字状の第2のコア3と、第1のコア2の胴部20に装着されたコイル4、(5)とを含んでる。そして、従来の場合、一般に、第1のコア2の突合せ部21、22にリード端子(図示せず)が設けられ、このリード端子に、コイル4、(5)が接続され、更に、第1及び第2のコア2、3、並びにコイル4、(5)は、樹脂でモールド

されていた。この様に、従来のチップインダクタの場合、第1のコア2の胴部20にコイル4、(5)が装着されるので、ノーマルモードのチップインダクタでは、図13に示すように、リード線4を、直接、フライヤー巻線機を用いて第1のコア2の胴部20に巻き付けるように成っており、コモンモードタイプのチップインダクタでは、図14に示すように、第1のリード線4を直接フライヤー巻線機を用いて第1のコア2の胴部20に巻き付け、その上に、第2のリード線5をフライヤー巻線機を用いて巻き付けるように成っている。

【0003】 一方、リード端子を有し、第1及び第2のコア、並びにコイルをモールドしたチップインダクタの製造方法として、リード端子部及びキャリア部を有するリードフレームを用いた製造方法がある。

【0004】 この製造方法の場合、先ず、略U字状の第1のコアをリードフレーム上に載置し、この際に、第1のコアの両突合せ部にそれぞれリードフレームのリード端子部を固着する。次に、一方の側の突合せ部に固着されたリード端子部からのリードフレームのキャリア部を切り離す。その後、この一方の側のキャリア部を切り取ったリードフレーム上に固着されている第1のコアの胴部にフライヤー巻線機を用いてリード線を直接巻回し、コイルを形成する。その後、略I字状の第2のコアをリードフレーム上に固着された第1のコアに突き合わせて閉磁路を構成する。次に、コイルをリード端子部に接続する。その後、第1及び第2のコア、並びにコイルをモールドする。その後、リードフレームの残りのキャリア部をリード端子部から切り離すことにより、リード端子を備え、モールドされたチップインダクタが得られる。

## 【0005】

【発明が解決しようとする課題】 上述のように、従来のチップインダクタの場合、突合せ部を有する第1のコアの胴部に、コイルを装着するように成っているので、コアの胴部にコイルを装着するには、フライヤー巻線機を用いて、直接、コアの胴部にリード線を巻き付けなければならない。このようにコアの胴部に直接巻回されたコイルは、整列巻線ができないので、線間容量のバラツキが大きくなり、周波数特性が劣ると言う不都合がある。

【0006】 一方、リードフレームを用いたチップインダクタの製造方法は、リードフレームを利用しない製造方法に比べ、複数のリード端子部を一時にコアに固着できるので製造工程の簡略化がなされ、また、流れ作業で多数のチップインダクタを連続して製造できる利点を有している。

【0007】 しかしながら、従来のリードフレームを用いたチップインダクタの製造方法の場合、上述のように、リードフレーム上に第1のコアを載置し、そして、リードフレームの一方の側のキャリア部を切り離した後、このリードフレーム上に固着されている第1のコアにコイルを装着するようになっており、この為、キャリ

ア部を切り離した側のリード端子部が邪魔となるので、リードフレーム上に固着された第1のコアに予め巻回したコイルを装着することはできない。従って、上述のように、フライヤー巻線機を用いてリードフレーム上に固着された第1のコアにリード線を直接巻回してコイルを形成するようになっている。このように、従来のリードフレームを用いたチップインダクタの製造方法の場合、フライヤー巻線機を用いて第1のコアにリード線を直接巻回しなければならないので、その作業が大変煩わしく、また、その作業に要する時間が長時間掛かると言う不都合がある。

【0008】それ故に、本発明の課題は、線間容量のバラツキが小さく、周波数特性に優れるチップインダクタを提供し、更に、リードフレームを用いたチップインダクタの製造方法において、製造工程の簡略化及び製造時間の短縮化を達成できる製造方法を提供することにある。

#### 【0009】

【課題を解決するための手段】本発明によれば、突合せ部を有する第1のコアと、該第1のコアの突合せ部に当接し、該第1のコアと閉磁路を作る第2のコアと、上記突合せ部上に貫装されたコイルとを含むことを特徴とするチップインダクタが得られる。

【0010】また、本発明によれば、突合せ部を有する第1のコアと、該第1のコアの突合せ部に当接し、該第1のコアと閉磁路を作る第2のコアと、上記突合せ部上に貫装されたコイルとを含むチップインダクタの製造方法において、上記コイルを得る巻線工程と、上記突合せ部に上記コイルに貫装すると共に上記第1のコアと第2のコアとを突き合わせる突合せ工程と、上記第1及び第2のコアを、リード端子部及びキャリア部を有するリードフレーム上に載置すると共に上記リード端子部を上記コアに固着する固着工程と、上記コイルを上記リード端子部に接続する接続工程と、上記第1及び第2のコア、並びに上記コイルをモールドするモールド工程と、上記リード端子部から上記キャリア部を切り離す切離し工程とを含むことを特徴とするチップインダクタの製造方法が得られる。

#### 【0011】

【実施例】図1は本発明の一実施例によるチップインダクタを示し、(a)は平面図、(b)は正面図、(c)は底面図、(d)は側面図、図2は図1に示すチップインダクタの要部を分解した状態の平面図である。

【0012】図1及び図2を参照して、本実施例のチップインダクタ1は、第1のコア2と、第2のコア3と、第1の空心コイル4と、第2の空心コイル5と、リード端子60、61、62、63と、モールド成形体7とから成る。

【0013】第1のコア2は、略U字状を呈し、胴部20と、この胴部20の両端にそれぞれ設けられた突合せ

部21、22とから成る。

【0014】第2のコア3は、第1のコア2と同形状であり、胴部30と、この胴部30の両端にそれぞれ設けられた突合せ部31、32とから成る。第2のコア3は、その突合せ部31、32の端面が、それぞれ第1のコア2の突合せ部21、22の端面に当接することにより、第1のコア2と共に閉磁路を作る。

【0015】第1の空心コイル4は、リード線を芯材(図示せず)に右巻きに密に整列させながら巻回し、その後、芯材を抜き取ることにより得られる。第1の空心コイル4の両端部は、接続部40、41となっている。

10 第1の空心コイル4は、第1及び第2のコア2、3の突合せ部21、31に貫装されている。

【0016】第2の空心コイル5は、リード線を芯材(図示せず)に左巻きに密に整列させながら巻回し、その後、芯材を抜き取ることにより得られる。第2の空心コイルの両端部は、接続部50、51となっている。第2の空心コイル5は、第1及び第2のコア2、3の突合せ部22、32に貫装されている。

20 【0017】リード端子60は第1のコア2の胴部の一端に、また、リード端子61は、第2のコア3の胴部の一端に、それぞれ取り付けられ、リード端子62は第1のコア2の胴部の他端に、また、リード端子63は、第2のコア3の胴部の他端に、それぞれ取り付けられている。また、リード端子60、61は、第1の空心コイル4の接続部40、41にそれぞれ接続され、リード端子62、63は、第2の空心コイル5の接続部50、51にそれぞれ接続されている。

【0018】上述の第1及び第2のコア2、3、並びに30 第1及び第2の空心コイル4、5は、樹脂により、モールドされており、このモールドにより、モールド成形体7が形成されている。

【0019】本実施例の場合、同形状のU字状コア2、3の組合せであるので、これらのコア2、3の突合せ部21、22、31、32の長さは、第1のコアと第2のコアの胴部間距離と同じとした場合のI字状コアに組み合わされるU字状コアの突合せ部の長さよりも短いので、これらの突合せ部21、22、31、32は、I字状コアに組み合わされるU字状コアの突合せ部よりも外力に対して強くなる。更に、本実施例の場合、第1及び第2のコア2、3が同形状であるので、これらのコアを成形する型が一つで済み、これにより製造コストを低減できる。

【0020】尚、本実施例のチップインダクタは、第1及び第2の空心コイル4、5を備えたコモンモードタイプであるが、勿論、コイルが一つのノーマルモードタイプのチップインダクタであっても構わない。また、本実施例では、第1及び第2のコア2、3ともU字状のコアであるが、これ以外、U字状コアとI字状コアの組み合せ、L字状コア同士の組合せ等でも構わない。

【0021】図3乃至図12は本発明の一実施例の製造方法を示し、図3は第1及び第2の空心コイルの平面図、図4は第1及び第2のコアの斜視図、図5(a), (b)は突合せ工程を示す平面図、図6はリードフレームの斜視図、図7は固定工程を示す平面図、図8は接続工程を示す平面図、図9はモールド工程を示す平面図、図10は切離し工程を示す平面図、図11(a), (b)はリード端子の曲げ加工工程を示す斜視図、図12は図11に示すチップインダクタの回路構成図である。

【0022】図3乃至図12を参照して本発明の一実施例によるチップインダクタの製造方法について説明する。

【0023】先ず、図3に示すように、リード線を芯材(図示せず)に右巻きに密に整列させながら巻回し、その後、芯材を抜き取って第1の空心コイル4を得る。同様に、リード線を芯材(図示せず)に左巻きに密に整列させながら巻回し、その後、芯材を抜き取って第2の空心コイル5を得る。第1の空心コイル4の両端部は、それぞれ、接続部40, 41と成っており、同様に、第2の空心コイル5の両端部も、それぞれ、接続部50, 51と成っている。これら空心コイル4, 5を得る工程を巻線工程と称する。

【0024】次に、図4に示すように、第1のコア2と第2のコア3を用意する。第1及び第2のコア2, 3は、それぞれ、略U字状を呈し、同形状である。これらのコア2, 3は、これらの端面同士が突き合わされることにより、閉磁路を構成する。

【0025】次に、図5(a)に示すように、第1及び第2の空心コイル4, 5をそれぞれ所定位置にセットし、これらの空心コイル4, 5の中心孔42, 52に、第1のコア2の突合せ部21, 22をそれぞれ挿入する。同様に、空心コイル4, 5の中心孔42, 52に、第2のコア3の突合せ部31, 32をそれぞれ挿入すると共に、図5(b)に示すように、空心コイル4, 5の中心孔42, 52の中で、第1のコア2の端面と第2のコア3の端面とを突き合わせる。この際、両端面は、接着剤で接着される。これにより、第1及び第2のコア2, 3の突合せ部21, 22, 31, 32に第1及び第2の空心コイル4, 5が貫装される。この工程を突合せ工程と称する。

【0026】図6に示すように、リードフレーム6は、略梯子状を呈し、4個の短冊状のリード端子部60', 61', 62', 63'、及び2本のキャリア部64, 65を有する。各キャリア部64, 65には、それぞれ、送り穴64a, 65aが一定間隔に穿設されている。この送り穴64a, 65aに送り装置(図示せず)のローラーの突起が嵌入し、このローラーによりリードフレーム6が間欠的に一方向に送られる。また、2本のキャリア部64, 65は、複数の連結部66によって互

いに連結されている。2つの連結部66の間が1ユニットと成っている。

【0027】次に、図7に示すように、第1及び第2の空心コイル4, 5を貫装した第1及び第2のコア2, 3をリードフレーム6上に載置する。この際、各リード端子部60', 61', 62', 63'の端部上に、第1及び第2のコア2, 3の角の部分が乗っかるようにすると共に、これら角部にそれぞれ接着剤でリード端子部60', 61', 62', 63'を固定する。また、この際、第1及び第2の空心コイル4, 5の接続部40, 41, 50, 51が、それぞれ、リード端子部60', 61', 62', 63'上に位置するようにする。この工程を固定工程と称する。

【0028】次に、図8に示すように、リードフレーム6上に載置された第1及び第2のコア2, 3に装着されている第1及び第2の空心コイル4, 5の接続部40, 41, 50, 51を、それぞれ、リードフレーム6のリード端子部60', 61', 62', 63'に接続する。この接続は、スポット溶接、半田付け、レーザー溶接等によって行われる。この工程を接続工程と称する。

【0029】次に、リードフレーム6上に配置された第1及び第2のコア2, 3、並びにこれに貫装された第1及び第2の空心コイル4, 5を、図9に示すように、樹脂にてモールドし、モールド成形体7を形成する。この工程をモールド工程と称する。

【0030】次に、第1及び第2のコア2, 3に固定されたリードフレーム6の各リード端子部60', 61', 62', 63'から、図10に示すように、それぞれ、リードフレーム6の両キャリア部64, 65を一時に切り離す。これにより、リードフレーム6のリード端子部60', 61', 62', 63'が、チップインダクタ1のリード端子60, 61, 62, 63と成る。この工程を切離し工程と称する。

【0031】次に、図11(a)に示すように、先ず、モールド成形体7から突出した各リード端子60, 61, 62, 63の先端部を1次曲げする。これらの先端部は、最終的に、モールド成形体7の底面に当接するようになっている。次に、図11(b)に示すように、各リード端子60, 61, 62, 63を、それらの根元から2次曲げする。これにより、各リード端子60, 61, 62, 63は、モールド成形体7に密着し、その先端部は、モールド成形体7の底面に当接する。以上の結果、リード端子60, 61, 62, 63を備え、モールドされたチップインダクタ1が完成する。このインダクタ1は、図12に示す回路構成を有する。

【0032】上述のように、本実施例において用いられているコイルは、整列に巻かれた空心コイル4, 5であるので、従来のようにフライヤー巻線機でリード線をコアに直接巻回した場合よりも、線間容量のバラツキを小さくすることができ、周波数特性の改善が可能である。

【0033】尚、上述の実施例は、第1及び第2のコイルを有するコモンモードタイプのチップインダクタの製造方法であるが、勿論、一つのコイルを備えたノーマルモードタイプのチップインダクタについても、本発明の製造方法を適用することは可能である。

【0034】

【発明の効果】本発明のチップインダクタは、コアの突合せ部にコイルを貫装するようになっているので、予め整列巻きしたコイルをコアの突合せ部に貫装することができるので、線間容量のバラツキを小さくすることができ、従って、周波数特性を改善することができる。

【0035】また、本発明のチップインダクタの製造方法の場合、空心コイルを予め別工程で作成しておくことができ、この為、従来のようにリードフレーム上に固定されたコアにリード線を直接巻回する工程が省かれ、また、リードフレームのキャリア部を一時に切り離すことができるので、製造工程を簡略化することができ、この為、従来よりもインダクタの製造が容易になり、しかも製造時間を短縮することができる。

【図面の簡単な説明】

【図1】図1は本発明の一実施例によるチップインダクタを示し、(a)は平面図、(b)は正面図、(c)は底面図、(d)は側面図である。

【図2】図2は図1に示すチップインダクタの要部を分解した状態の平面図である。

【図3】図1は第1及び第2の空心コイルの平面図である。

【図4】図2は第1及び第2のコアの斜視図である。

【図5】図5(a), (b)は突合せ工程を示す平面図である。

【図6】図6はフレームの斜視図である。

【図7】図7は固定工程を示す平面図である。

【図8】図8は接続工程を示す平面図である。

【図9】図9はモールド工程を示す平面図である。

【図10】図10は切離し工程を示す平面図である。

【図11】図11(a), (b)はリード曲げ加工工程を示す斜視図である。

【図12】図12は図11に示すチップインダクタの回路構成図である。

【図13】図13は従来のノーマルモードタイプのチップインダクタの要部の斜視図である。

【図14】図14は従来のコモンモードタイプのチップインダクタの要部の斜視図である。

【符号の説明】

1 チップインダクタ

2 第1のコア

3 第2のコア

4 第1の空心コイル

5 第2の空心コイル

6 リードフレーム

20 7 モールド成形体

20 8 脊部

21 突合せ部

22 突合せ部

30 脊部

31 突合せ部

32 突合せ部

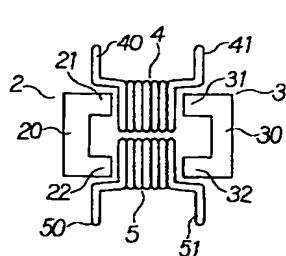
60 リード端子

61 リード端子

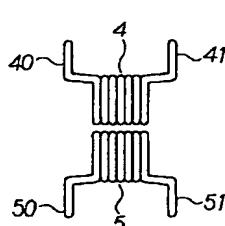
62 リード端子

30 63 リード端子

【図2】



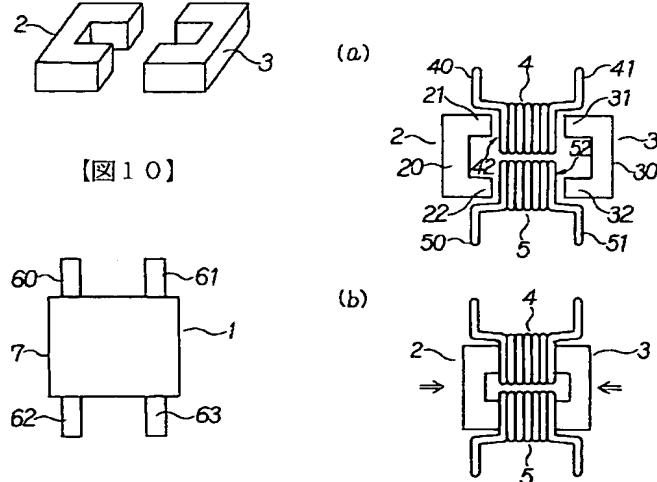
【図3】



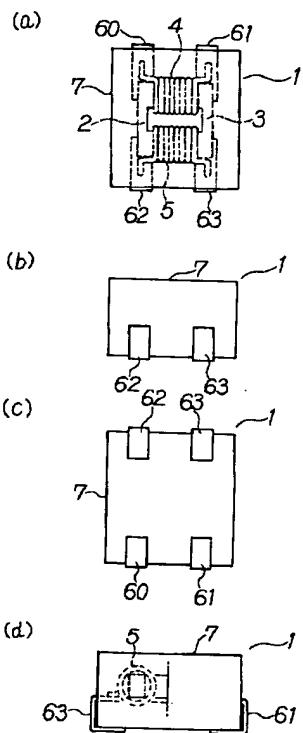
【図4】



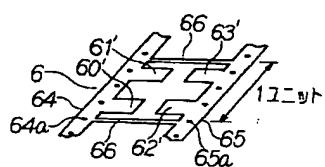
【図5】



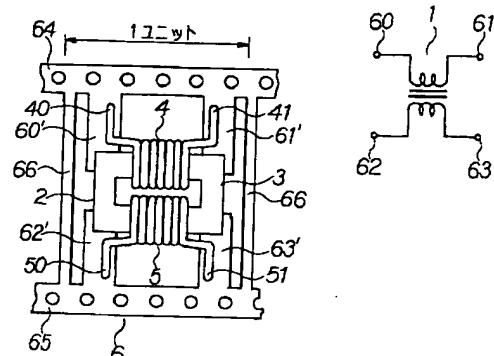
【図1】



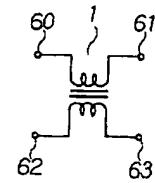
【図6】



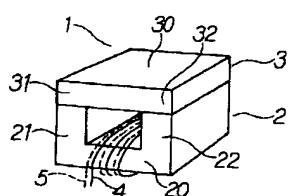
【図7】



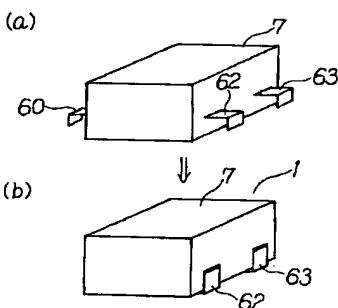
【図12】



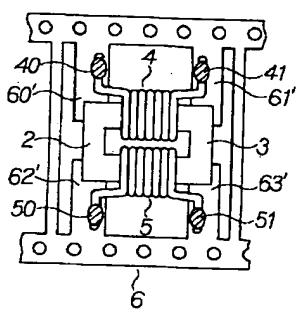
【図14】



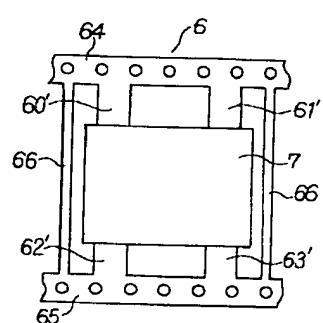
【図11】



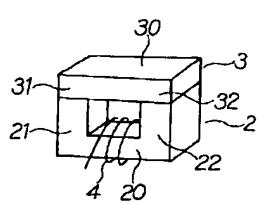
【図8】



【図9】



【図13】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**